

## Лекция 21. Основы цифровой электроники

В последние десятилетия XX века появилось новое направление в импульсной технике – *цифровая электроника*. Этому способствовало создание новой элементной базы – *цифровых интегральных схем*.

### Общие сведения о цифровой электронике

Электрический сигнал может быть носителем дискретной двоичной информации ("включено-отключено", "больше-меньше", "открыто-закрыто", "выше-ниже" и т.п.). По этой информации необходимо принять решение "включить" или "отключить" исполнительный механизм. В этих случаях все сигналы можно *формализовать в виде 0 или 1 (констант булевой алгебры)*.

В качестве примера (рис.3.26) – схема управления температурой в реакторе.

*Датчик температуры* (ВТ) выдаёт сигнал «*T* больше заданной» – (1) или «*T* меньше заданной» – (0). *Датчик уровня* жидкости (ВН) выдаёт сигнал «*H* выше допустимого» – (1) или «*H* ниже допустимого» – (0). *Логическое устройство* ( $U_1$ ) выдает решение ( $y$ ), – *включить* нагрев ( $x_1 = 1$ ), когда уровень жидкости *выше* допустимого ( $x_2 = 1$ ), а температура в реакторе – *меньше* заданной ( $x_1 = 0$ ). Нагрев должен быть *отключен* ( $y = 0$ ), при понижении уровня жидкости (ВН) ниже допустимого ( $x_2 = 0$ ), а температуры – меньше заданной ( $x_1 = 0$ )

Таблица 1

Датчик температуры (ВТ)	Датчик уровня (ВН)	Нагреватель ( $y$ )	$x_1$	$x_2$	$y = f(x_1 \cdot x_2)$
больше	выше	отключить	1	1	0
меньше	выше	включить	0	1	1
больше	ниже	отключить	1	0	0
меньше	ниже	отключить	0	0	0

Все состояния датчиков ( $x_1$  и  $x_2$ ) и соответствующие им решения ( $y$ ) о включении или отключении нагревателя (см. табл. 1 состояний).

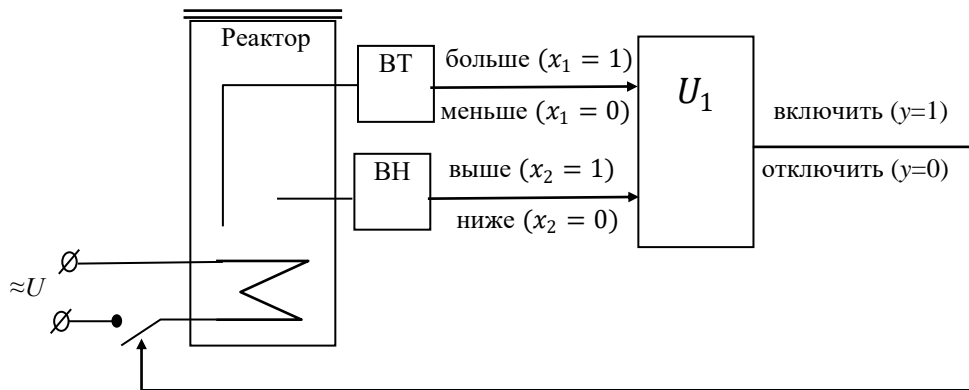


Рис.3.26. Схема управления температурой реактора

### Булева алгебра

В булевой алгебре имеются только две константы: 0 и 1. Переменные  $x, y, z \dots$  могут принимать 0 или 1. К основным операциям булевой алгебры относятся: "И" (&) ( $\wedge$ ) – логическое умножение (конъюнкция), "ИЛИ" (+) ( $\vee$ ) – логическое сложение (дизъюнкция) и "НЕ" ( $-$ ) – логическое отрицание (инверсия). Эти операции задаются с помощью таблиц истинности (табл.2).

Табл.2 Таблица истинности

$x_1$	$x_2$	"И"	"ИЛИ"	"НЕ" ( $x_1$ )	И-НЕ	ИЛИ-НЕ
н(0)	н(0)	н(0)	н(0)	в(1)	в(1)	в(1)
в(1)	н(0)	н(0)	в(1)	н(0)	в(1)	н(0)
н(0)	в(1)	н(0)	в(1)	в(1)	в(1)	н(0)
в(1)	в(1)	в(1)	в(1)	н(0)	н(0)	н(0)

где н(0) – низкий потенциал (логический 0), в(1) – высокий потенциал (логическая 1)

### Системы исчисления

**Двоичная система**, так же как и десятичная, относится к позиционной системе, в ней числа читаются слева направо. **Положение цифры указывает в какую степень** необходимо возвести основание счисления, а сама цифра – на сколько следует **умножить полученный результат**. Крайне правая позиция соответствует степени 0 (младший разряд), следующая (левее) – степени 1, следующая левее – степени 2 и т.д. **Значение числа равно сумме всех результатов**.

Так число 512 означает  $10^2 \cdot 5 + 10^1 \cdot 1 + 10^0 \cdot 2 = 512$ . По аналогии, двоичное число 10101 означает  $2^4 \cdot 1 + 2^3 \cdot 0 + 2^2 \cdot 1 + 2^1 \cdot 0 + 2^0 \cdot 1 = 16 + 0 + 4 + 0 + 1 = 21$ .

**Восьмеричную систему счисления**, как и двоичную нередко применяют в цифровой технике. Основание восьмеричной системы – 8 (восемь цифр: 0,1,2 ... 7). Для перевода числа из восьмеричной системы в двоичную, необходимо, например, число 6 делить на основание 2:

$$\begin{array}{r} 6 \overline{) 2} \\ 6 \quad 3 \overline{) 2} \\ \hline 0 \quad 2 \quad 1 \\ \quad \underline{1} \\ \quad \quad 1 \end{array}$$

Получаем остаток от деления и записываем все остатки от деления в обратном порядке (по стрелке) –  $110_2$  для числа  $6_8$ .

Таблица перевода восьмеричных чисел в двоичные:

$0_8$	$1_8$	$2_8$	$3_8$	$4_8$	$5_8$	$6_8$	$7_8$
$000_2$	$001_2$	$010_2$	$011_2$	$100_2$	$101_2$	$110_2$	$111_2$

Для перевода числа  $611_8$  в двоичную систему, надо все цифры заменить двоичной триадой (тройкой цифр) из таблицы:  $611_8 = 110\ 001\ 001_2$ .

Для перевода двоичного числа в восьмеричную систему разбивают это число на триады (справа налево) и заменяют все триады восьмеричной цифрой из таблицы:  $1\ 110\ 011\ 101_2 = 1635_8$ .

Для перевода восьмеричного числа  $254_8$  в десятиричную систему, нужно все разряды исходного числа  $254$  умножить на  $8^n$  ( $n$  – номер разряда).

$$254 = 2 \cdot 8^2 + 5 \cdot 8^1 + 4 \cdot 8^0 = 172_{10}.$$

### Основанием шестнадцатеричной системы счисления является число 16

Числа в восьмеричной системе получаются довольно компактные, а в шестнадцатеричной – еще более компактные.

Первыми десятью цифрами шестнадцатеричной системы является стандартный потенциал 0-9, последующие шесть цифр – первые буквы латинского алфавита: **A, B, C, D, E, F**. Перевод из шестнадцатеричной системы в двоичную систему и в обратную сторону делают *аналогично* процессу для восьмеричной системы.

### Устройства комбинационной логики (микросхемы)

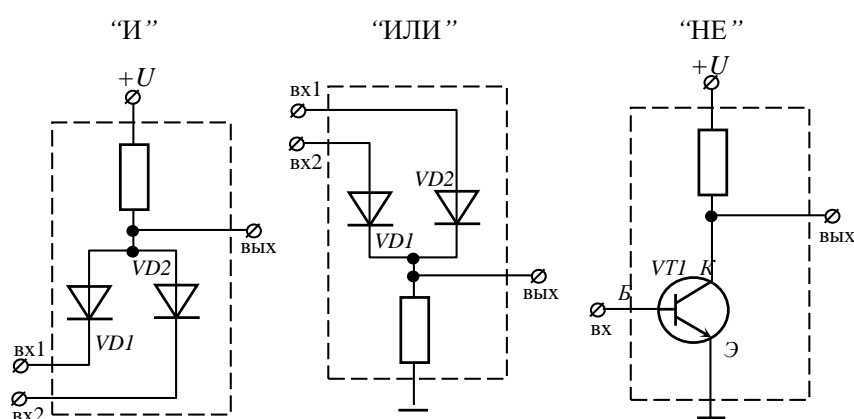
Для реализации операций булевой алгебры необходимо выбрать потенциалы (напряжение), соответствующие 0 и 1. Распространение получили сигналы: "0" –  $0 \div 0,4$  В ("низкий уровень"), а "1" –  $\geq 2,0$  В ("высокий уровень").

Реализовать логические функции "И" и "ИЛИ" можно на резисторах и диодах, а схему "НЕ" – на транзисторе (рис 3.27, а).

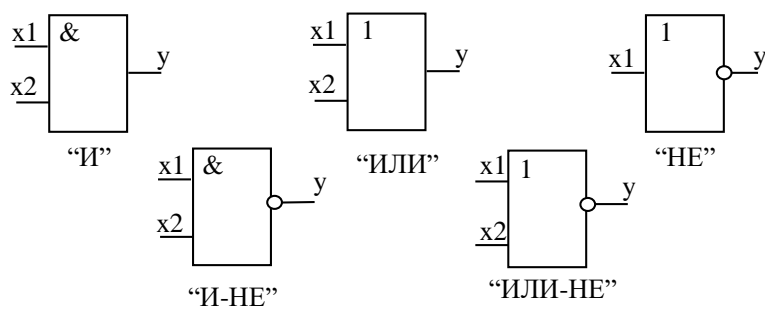
**Схема "И"** ( $y = x_1 \& x_2$ ). Потенциал на **выходе** 0,2 В (0), если на любом **входе** (или на  $x_1$  и  $x_2$ ) он равен 0 В (0). Потенциал на **выходе** 2,4 В (1), если одновременно на **входах** они равны 2,0 В (1) – см. табл. 1.

**Схема "ИЛИ"** ( $y = x_1 + x_2$ ). Потенциал на выходе 2,4 В (1), если на любом входе (или на  $x_1$  и  $x_2$ ) он равен 2.4В (1). Потенциал на **выходе** 0 В (0) только, если они на входах одновременно равны 0 В (0).

**Схема "НЕ"** ( $y = -x_1$ ). Если потенциал на базе (Б) транзистора  $VT1$  равен 0 В (0), то он будет "закрит", а потенциал на коллекторе (К)  $> 2,5$  В (1). Если потенциал на базе 2,4 В (1), то  $VT1$  "открыт", а потенциал на коллекторе  $< 0,2$  В (0).



а



б

Рис. 3.27. Принципиальные схемы И, ИЛИ, НЕ (а), условные обозначения (б)

На рис. 3.27,б приведены условные обозначения микросхем, реализующих базовые функции "И", "ИЛИ", "НЕ", где  $x$  – вход,  $y$  – выход.

"И-НЕ"  $y = -(x \& y)$ ; "ИЛИ-НЕ"  $y = -(x + y)$ ; и т.д.

С помощью таблиц истинности можно задать и другие логические операции, часто реализуемые микросхемами:

Таблица 3 Таблица состояний

Датчик температуры(ВТ)		Датчик уровня (ВН)	Логическое устройство(U1)
x1	-x1	x2	y
в(1)	н(0)	в(1)	н(0)
н(0)	в(1)	в(1)	в(1)
в(1)	н(0)	н(0)	н(0)
н(0)	в(1)	н(0)	н(0)

Схема «НЕ»Схема «И»

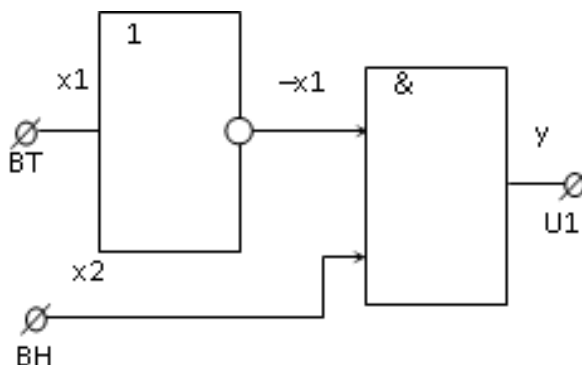


Рис.3.28. Схема управления температурой реактора (по рис.3.26)

Управление температурой реактора (рис.3.26) можно реализовать с помощью схемы (рис.3.28), выполняющей логическую функцию  $y = (-x_1) \& x_2$ , с помощью табл. 3 (сравнить с табл. 1)

### Дешифратор

На рис.3.29 представлена *схема дешифратора* (преобразователь двоичного двухразрядного кода в сигнал низкого уровня н(0) на одном из четырёх отдельных выходов).

Дешифратор состоит из *двух схем "НЕ"* (d1 и d2) и *четырёх схем "И-НЕ"* (d3, d4, d5 и d6). *Общей шиной* являются **выходы** прямого ( $A_1, A_0$ ) и инвертированного ( $-A_1, -A_0$ ) сигналов с двухразрядного двоичного регистра (R). Выходной сигнал *низкого уровня* н(0) получают на *выходе* схемы "И-НЕ", если на её входы с общей шины одновременно поступают *два сигнала высокого уровня* в(1).

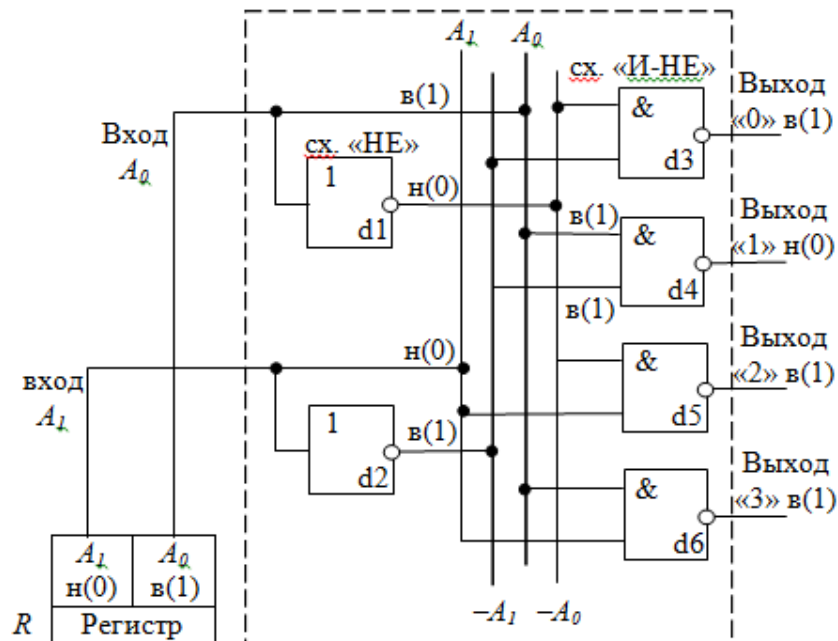


Рис.3.29. Схема дешифратора

Для того чтобы на выходе d4 был сигнал  $\bar{A}_0$ , входы этой схемы (см. табл.2 сх. И-НЕ) должны быть подсоединены к шине  $A_0$  и  $-\bar{A}_1$ , так как на этих шинах будет сигнал  $A_0$ .

### Шифратор

Шифраторы применяются для преобразования развёрнутого кода в двоичный. Сигналом может быть низкий уровень  $\bar{A}_0$  на одном из входов шифратора, а на остальных входах – высокий уровень  $A_1$ . Не допускается одновременное появление сигналов на нескольких входах.

Шифратор (рис. 3.31) состоит из четырёх схем "НЕ" (d1, d2, d3 и d4) и трёх схем "ИЛИ" (d5, d6 и d7). При поступлении сигнала  $\bar{A}_0$  на вход, например схемы d2 ("НЕ"), на выходе он приобретает значение  $A_1$  и через общую шину ( $-\bar{A}_1$ ) поступает на вход схемы d5 ("ИЛИ"). На вход этой же схемы с общей шины ( $-\bar{A}_3$ ) поступает сигнал  $\bar{A}_0$ . ( $A_1$ ) поступает на вход схемы d5 ("ИЛИ"). На вход этой же схемы с общей шины ( $-\bar{A}_3$ ) поступает сигнал  $\bar{A}_0$ .

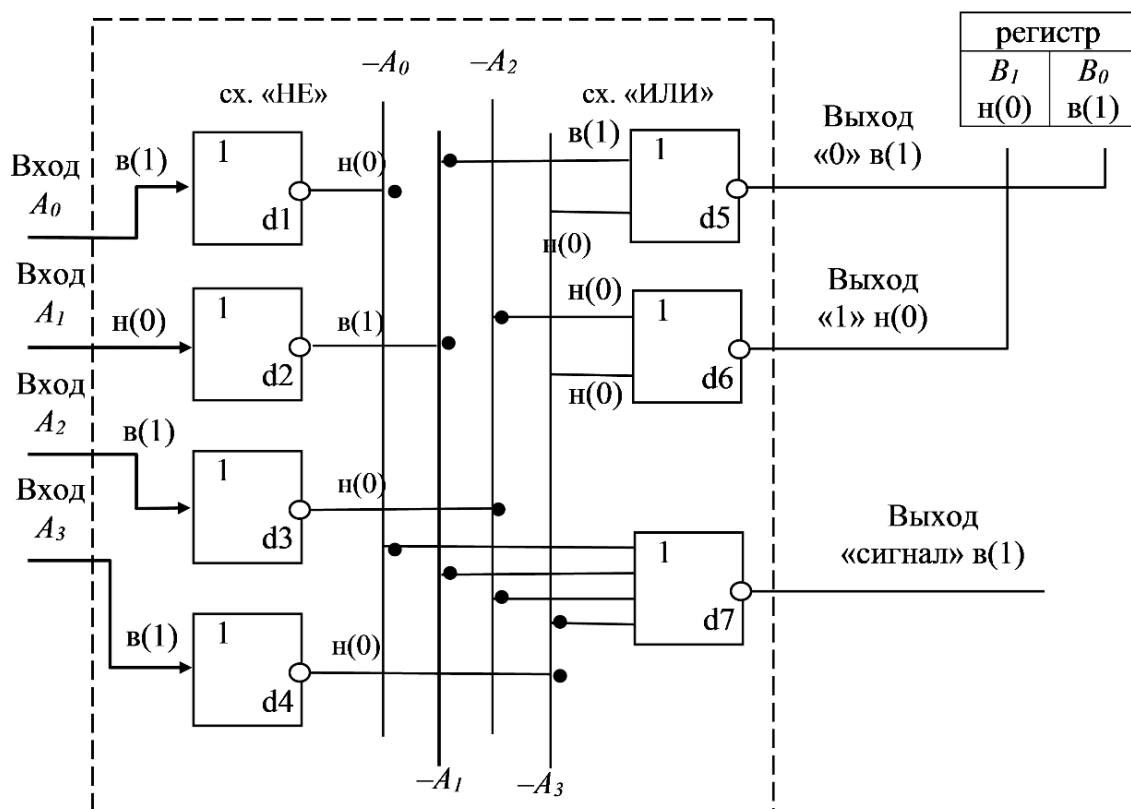


Рис.3.30. Схема шифратора

В результате на выходе  $d_5$  ("ИЛИ") сигнал будет равен  $v(1)$ . На вход схемы  $d_6$  ("ИЛИ") с общей шины поступают сигналы  $n(0)$  с  $(-A_2)$  и  $n(0)$  с  $(-A_3)$ , сигнал на выходе  $d_6$  ("ИЛИ") равен  $n(0)$ . Рассматривая  $d_5$  и  $d_6$  как регистр двоичного числа ( $B_1, B_0$ ), получим двоичный код 01. Аналогично производится кодирование и других сигналов.

Шифратор должен содержать схему  $d_7$  ("ИЛИ") с четырьмя входами. Если на какой-либо его вход с общей шины поступает сигнал  $v(1)$ , то на выходе появляется сигнал  $v(1)$ . Наличие сигнала  $v(1)$  на выходе  $d_7$  указывает, что на вход "0" подан активный информационный сигнал  $n(0)$ .

### Мультиплексор

Мультиплексоры применяются для переключения электрических линий (каналов). Он содержит несколько входов, подключенных к одному выходу.

Схема четырёхканального мультиплексора (рис.3.31) состоит из двух схем "НЕ" ( $d_1$  и  $d_2$ ), **четырёх схем "И"** ( $d_3, d_4, d_5$  и  $d_6$ ) и **одной схемы "ИЛИ"** ( $d_7$ ). Схема имеет четыре информационных входа (канала)  $I_0, I_1, I_2, I_3$ , два адресных входа  $S_0$  и  $S_1$  и один выход  $Y$ .

На вход каждой схемы  $d_3 - d_6$  ("И") подается сигнал от канала входа ( $I_0 - I_3$ ) и сигналы с общей шины ( $S$ ) в соответствии с кодом адреса.

Сигналы со всех выходов d3 – d6 поступают на вход d7 ("ИЛИ"). Состояние выхода схемы d7 будет зависеть от состояния выбранного входа, так как значение выходов остальных схем ("И") будут равны 0.

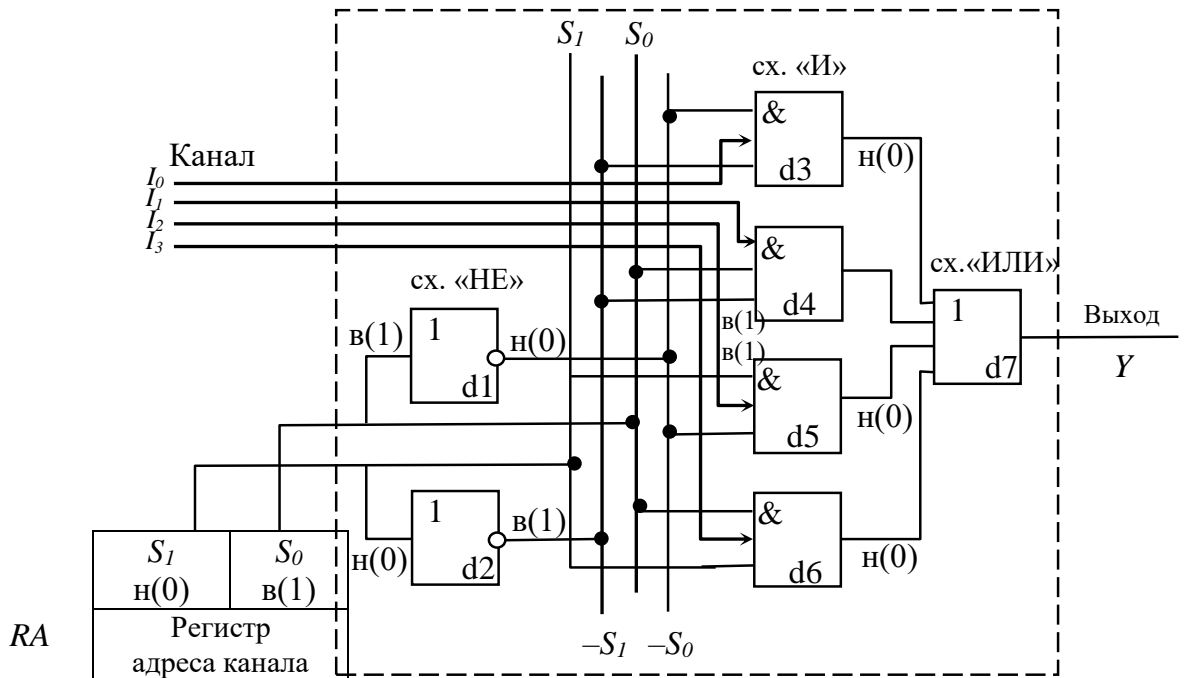


Рис.3.31. Схема 4-канального мультиплексора

### Демультимплексор

Демультимплексор выполняет функцию, обратную мультиплексору. Осуществляет коммутацию одного входного сигнала  $D$  на  $2^n$  выходов ( $n$  – число адресных входов  $x_i$ ). Преобразовывает информацию из последовательной формы в параллельную. Демультимплексор имеет один информационный вход  $D$  и несколько выходов  $y_i$ , при этом вход подключается к выводу  $y_i$ , имеющему заданный адрес.

Функциональная схема демультимплексора  $d$  включает два элемента d1 и d2 «ИЛИ-НЕ» и четыре элемента d3 – d6 «И».

Демультимплексоры применяются в микропроцессорных устройствах, в системах индикации.



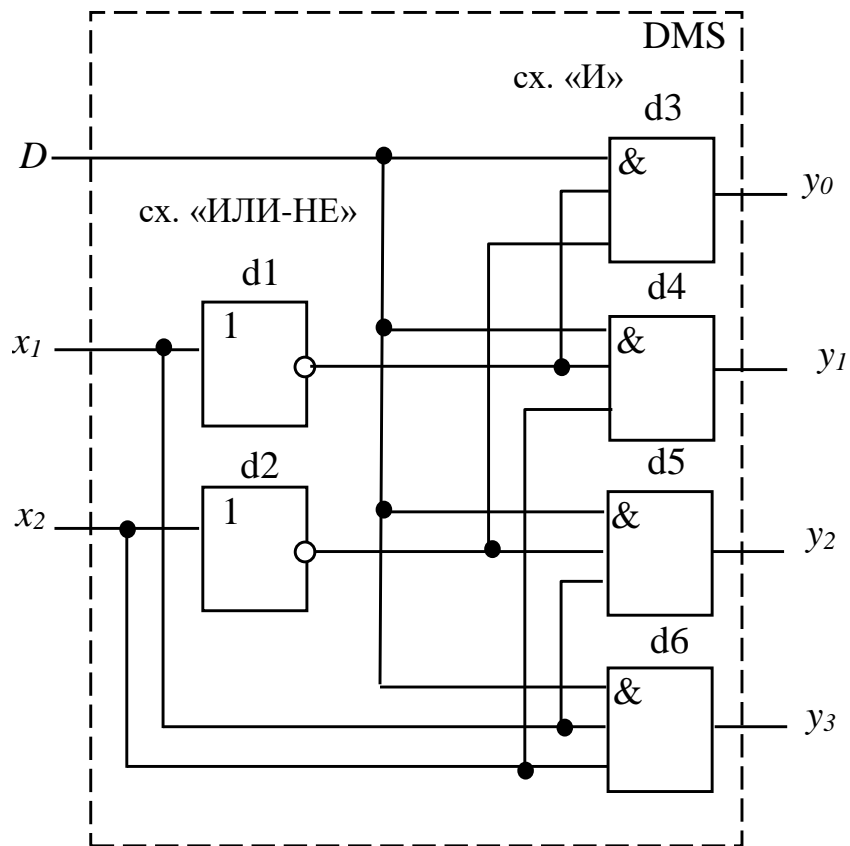


Рис. 3.32.Схема демультиплексора

### Сумматор

Сумматор предназначен для арифметического сложения двух чисел. Из принципа сложения многоразрядных двоичных чисел следует, что в каждом  $i$ -м разряде находится сумма трех чисел по модулю (два слагаемых  $A_i, B_i$ ) и переноса, поступившего из младшего разряда ( $P_i$ ) и формируется сигнал переноса в старший разряд  $P_{i+1}$  и сумма  $S$ .

Записываются логические выражения выходных величин  $S$  и  $P_{i+1}$ .

По этим функциям можно построить **сумматор на элементах И и ИЛИ** (рис. 3.34, а). Условное изображение одноразрядного сумматора приведено на рис. 3.34, б. Для сложения двух многоразрядных двоичных чисел используют многоразрядные сумматоры (последовательное соединение одноразрядных сумматоров) (рис. 3.34, в).

Сумматоры **применяются** в арифметическо-логических устройствах микропроцессоров и ЭВМ.

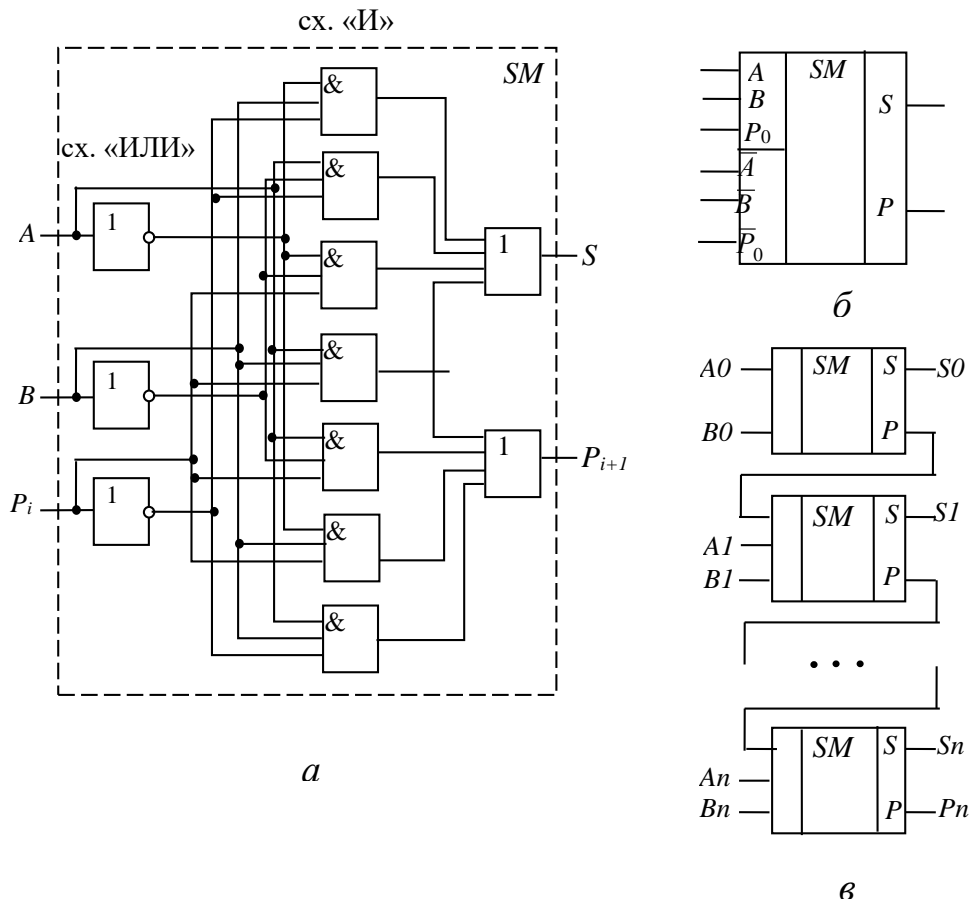


Рис. 3.33. Схемы: одноразрядного сумматора (а), условное обозначение (б), схема многоразрядного сумматора (в)

### Компаратор

Цифровой *компаратор* предназначен для сравнения двух двоичных чисел.

*Многоразрядный компаратор* состоит из  $n$  одноразрядных компараторов (рис.3.34, б).

Схема одноразрядного компаратора изображена на рис. 3.34, а. *Состоит из трёх схем «ИЛИ»* (d1 – d3), и *двух* логических схем «И» (d4, d5).

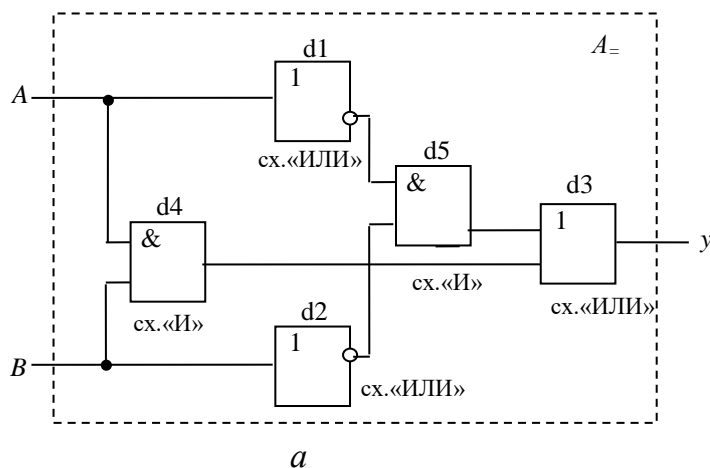


Рис. 3.34. Схема одноразрядного компаратора (а)

В многоразрядных компараторах сравнение двух двоичных чисел  $A_0...A_n$  и  $B_0...B_n$  происходит поразрядно и результаты подаются на логическую схему «И», число входов которой равно числу разрядов сравниваемых чисел. Выход *схемы «И»* является выходом многоразрядного компаратора.

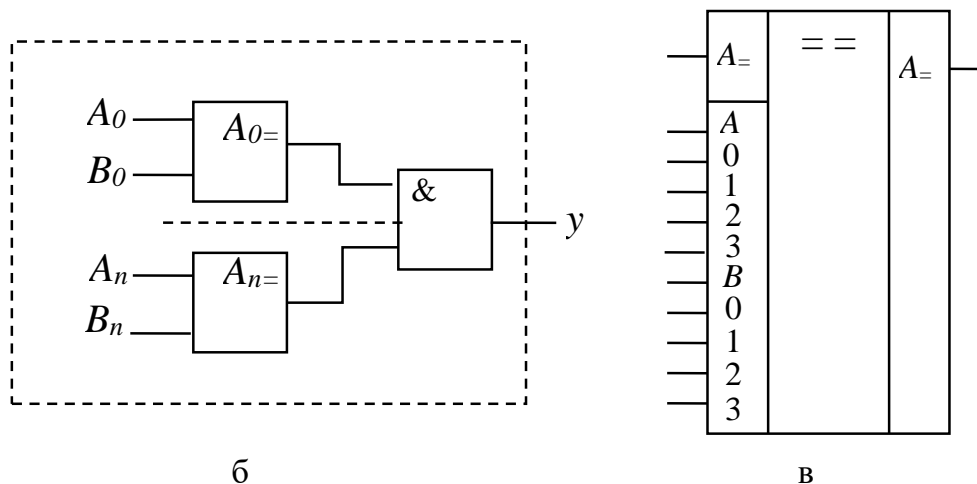


Рис. 3.34. Схема многоразрядного компаратора (б) и его условное обозначение (в)

### Цифровые триггеры

Всем рассмотренным выше схемам присуще одно свойство – *при возникновении или исчезновении сигнала на каком-либо входе состояние на выходе изменяется*. Требуется схема, состояние которой не изменялось бы при исчезновении сигнала. Для реализации такой схемы используются **триггеры** (см. ниже).

На рис. 3.35 приведена схема управления уровнем жидкости в реакторе.

**Датчик нижнего уровня** (ВН2) выдает сигнал "уровень ниже минимально допустимого" ( $x_2=0$ ) и "уровень выше минимально допустимого" ( $x_2=1$ ). **Датчик верхнего уровня** (ВН1) выдает сигнал "уровень ниже максимально допустимого", ( $x_1=0$ ) и "уровень выше максимально допустимого" ( $x_1=1$ ). Логическое устройство U1 должно выдавать сигнал "насос включить" ( $y = 1$ ) или «насос отключить» ( $y=0$ ).

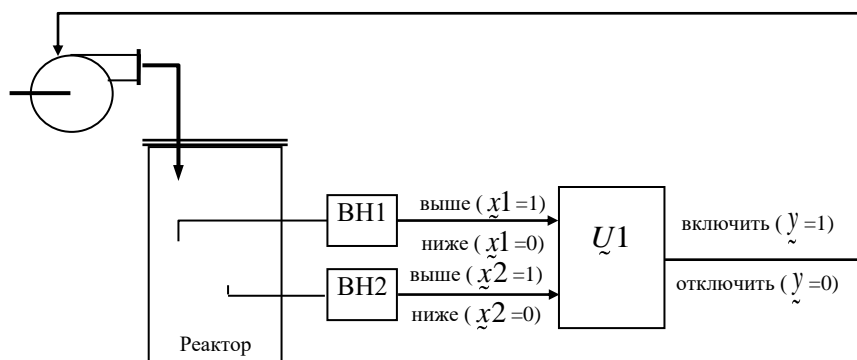


Рис. 3.35. Схема управления уровнем жидкости в реакторе

Из логики управления **насос должен быть включен** до тех пор, пока **уровень не достигнет максимально допустимого значения**. При его достижении насос должен быть отключен до достижения минимально допустимого значения.

В табл. 4 представлено состояние логического устройства U1 в зависимости от состояния датчиков ВН1 и ВН2.

Табл. 4. Таблица состояний (\*– U1 не зависит от ВН1 и ВН2)

Датчик нижнего уровня (ВН2)	Датчик верхнего уровня (ВН1)	Логическое устройство(U1)			
		Состояние U1	$x_1$	$x_2$	$y = f(x_1 \cdot x_2)$
выше	выше	отключить	1	1	0
ниже	выше	*	0	1	*
выше	ниже	*	1	0	*
ниже	ниже	включить	0	0	0

**Состояния ВН2 – (0) и ВН1 (1)** в данной схеме **невозможно**. Однако его следует учесть при разработке логического устройства.

Для реализации данной схемы требуется устройство с *двумя устойчивыми состояниями*. **В одно состояние** его бы переводил сигнал ( $x_1 = 0 \& x_2 = 0$ ) и оставлял в этом состоянии после исчезновения, **а в другое состояние** – сигнал ( $x_1 = 1 \& x_2 = 1$ ) и оставлял в этом состоянии после исчезновения. **Устройство с двумя устойчивыми состояниями называется триггером**.

На рис. 3.36 показана **схема триггера, из двух "И-НЕ"** и таблица состояния (Табл. 5) триггера с двумя входами и двумя устойчивыми состояниями. Активным сигналом, переводящим триггер из одного состояния в другое, является сигнал н(0).

При подаче на входы R и S триггера одновременно сигнала в(1), состояние триггера не изменится, а при подаче на входы R и S сигнала н(0) состояние триггера неопределенно. Поэтому такие комбинации входных сигналов запрещены.

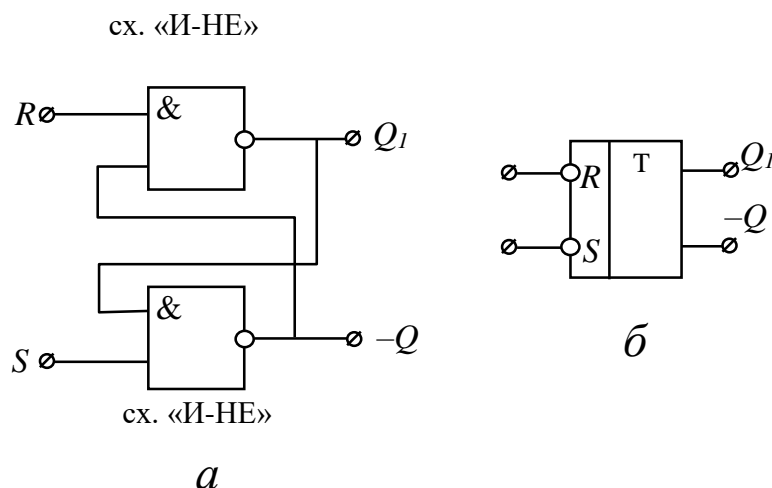


Рис. 3.36. Схема (а), условное обозначение (б) асинхронного триггера

Табл. 5. Таблица состояний для схемы триггера из двух «И-НЕ»

Вход R	Вход S	Выход $Q_1$	Выход $\bar{Q}$	Состояние T
н(0)	н(0)	?	?	
н(0)	в(1)	в(1)	н(0)	1
в(1)	н(0)	н(0)	в(1)	0
в(1)	в(1)	*	*	

? – состояние не определено; \* – состояние не изменяется

**Синхронный RS-триггер** (рис.3.37) получается на базе асинхронного RS-триггера, введением логических схем «И» (только при наличии сигнала синхронизации C).

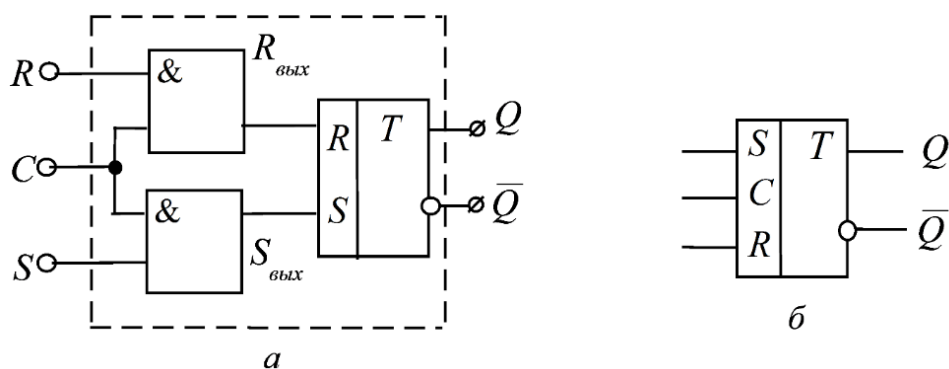


Рис. 3.37. Схема синхронного RS - триггера (а), условное обозначение (б)

Схемы «И» передают переключающую 1 с S- или R- входов на входы T и переключают триггер T при наличии на синхронизирующем входе C логической 1. При C=0 информация с S- и R- входов на триггер T не передается. При C=1 схема (рис. 3.37, а) функционирует как асинхронный RS-триггер.

**D-триггер** (рис. 3.38) снабжен одним *информационным* входом  $D$  и тактовым  $C$ -входом, информация с которых переписывается на выход триггера только по сигналу синхронизации. Таким образом,  $D$ -триггер *может быть только синхронным*.

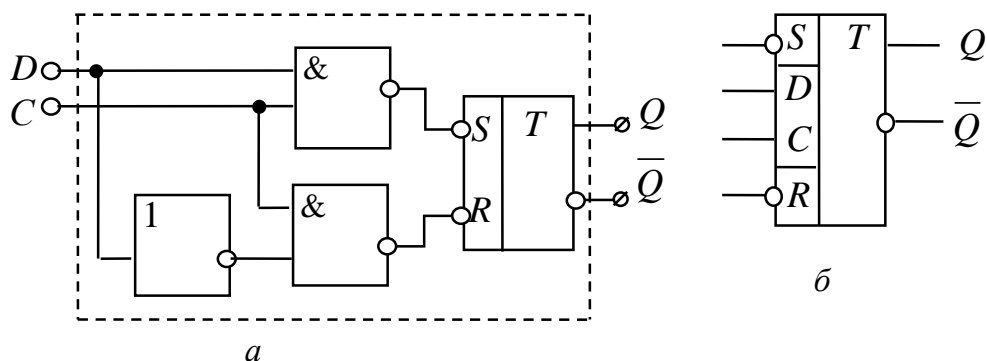


Рис. 3.38. Структурная схема  $D$ -триггера (а) и условное графическое обозначение (б)

**T-триггер** (рис. 3.39, б) или счетный триггер, изменяет свое состояние на противоположное по каждому сигналу (например, 1) действующему на счетном входе  $T$ .

$T$ -триггер реализуется в виде *двухступенчатого триггера* (при последовательном соединении двух  $RCS$ -триггеров  $T1$ ,  $T2$  введением дополнительно элемента «НЕ» и обратных связей с выходов триггера  $T2$  на входы  $T1$ ).

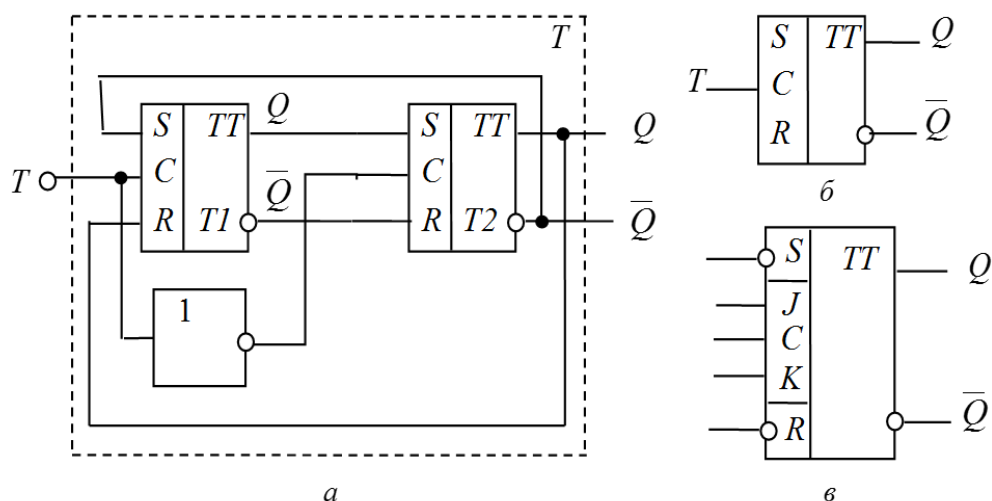


Рис.3.39. Схема  $T$ -триггера (а), и его условное обозначение (б); условное обозначение  $JK$ -триггера (в)

В двухступенчатом триггере *новая информация* формируется только в входной ступени  $T1$  при сохранении старой информации в выходной  $T2$ . Когда *новое состояние входной ступени* сформировано и снят сигнал со входа  $T$ , происходит ее перезапись в выходную ступень устройства.

**JK-триггер** (рис.3.39, в) является универсальным триггером, (могут быть выполнены любые из описанных выше типов триггеров).

В отличие от *RS*-триггера, *JK*- триггер не имеет запрещенных комбинаций входных сигналов.

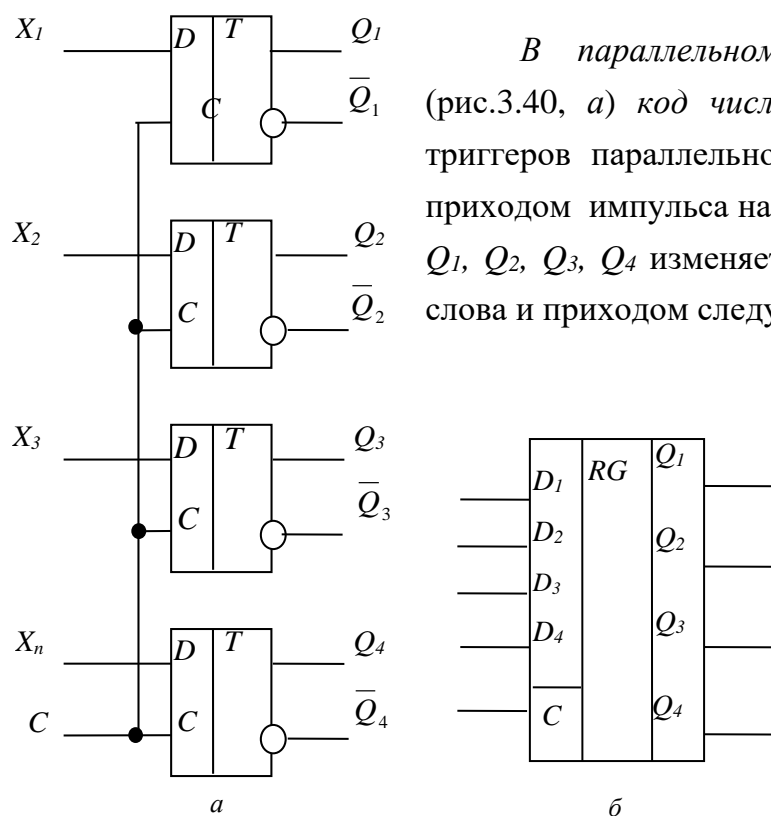
В *JK*-триггере *J* – вход установки триггера, а *K* – вход сброса универсального триггера. Триггер выполняет операции по тактовым импульсам, подаваемым на *C* вход.

При подаче на входы *J* и *K* сразу двух логических 1 триггер работает как счетный.

### Регистры

Служат для хранения информации в виде *n* – разрядного двоичного числа, сдвига принятого кодового числа, преобразования двоичного кода из параллельного в последовательный и наоборот. Регистры выполняются на триггерах.

Основными видами регистров являются параллельные и последовательные (сдвигающие).



В параллельном регистре на *D*-триггерах (рис.3.40, а) код числа подается на входы *D* всех триггеров параллельно и записывается в регистр с приходом импульса на вход *C*. Выходная информация  $Q_1, Q_2, Q_3, Q_4$  изменяется с подачей нового входного слова и приходом следующего импульса записи.

Рис. 3.40 Параллельный регистр на тактируемых *D*-триггерах

**Используются в системах оперативной памяти** микропроцессоров. Число триггеров в них равно *максимальной разрядности* хранимых слов –  $n$ .

Условное обозначение параллельного регистра (рис. 3.40, б). Схема *последовательного регистра* (рис. 3.40). По приходу тактового импульса  $C$  первый триггер записывает код  $X$  (0 или 1), находящийся в этот момент на его входе  $D$ , а *каждый следующий триггер переключается в состояние, в котором до этого находился предыдущий*.

Так происходит потому, что сигнал со входа  $D$ -триггера проходит к выходу  $Q$  с задержкой, в течение которой происходит запись.

*Каждая задержка* (тактовый импульс) *последовательно сдвигает код числа в регистре на один разряд. Поэтому для записи  $n$ -разрядного кода требуется  $n$  тактовых импульсов*.

**Сдвиговый регистр** предназначен для сдвига кодового числа на любое число разрядов и для *преобразования последовательного кода в параллельный код и обратно* – параллельного кода в последовательный.

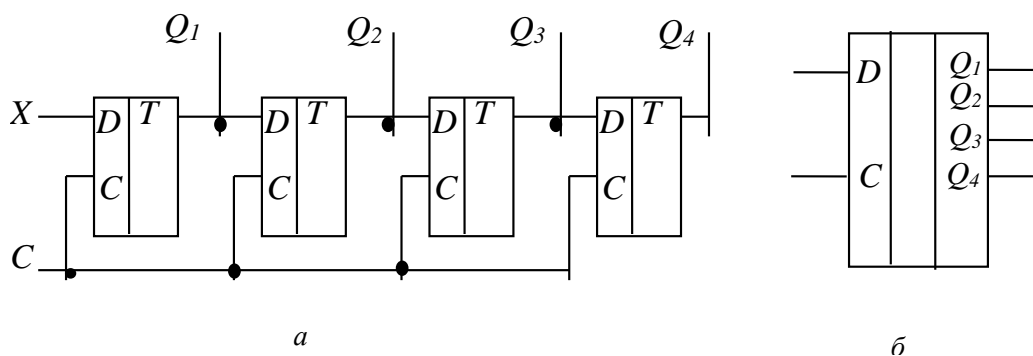


Рис. 3.41. Последовательный регистр: *а* – принципиальная схема; *б* – условное обозначение

### **Цифровые счетчики импульсов**

**Счетчик** предназначен для счета, поступающих на его вход, импульсов. Выполняется на  $D$ -или  $JK$ -триггерах. В промежутке между импульсами информация о количестве импульсов хранится в памяти (на выходах триггеров). Число пришедших *импульсов* представляется в *двоичном  $n$ -разрядном коде*. Счетчики могут быть *суммирующие* (записанное число увеличивается), *вычитающими*, (записанное число уменьшается), и *реверсивными* (пришедший импульс может суммироваться или вычитаться из занимаемого числа).

Счетчики применяются в измерительных, вычислительных и управляющих устройствах, а также электронных устройствах – например, в электронных часах.

Рассмотрим работу простейшего счетчика (рис. 3.42, *а*), включающего два  $D$ -триггера. Счетчик осуществляет счет импульсов на «4» – «счетчик на 4».



В «счётчике на 4» выходы  $Q_1$  и  $Q_0$  D-триггеров  $T_1$  и  $T_0$  образуют регистр двоичного числа ( $b_1 b_0$ ).

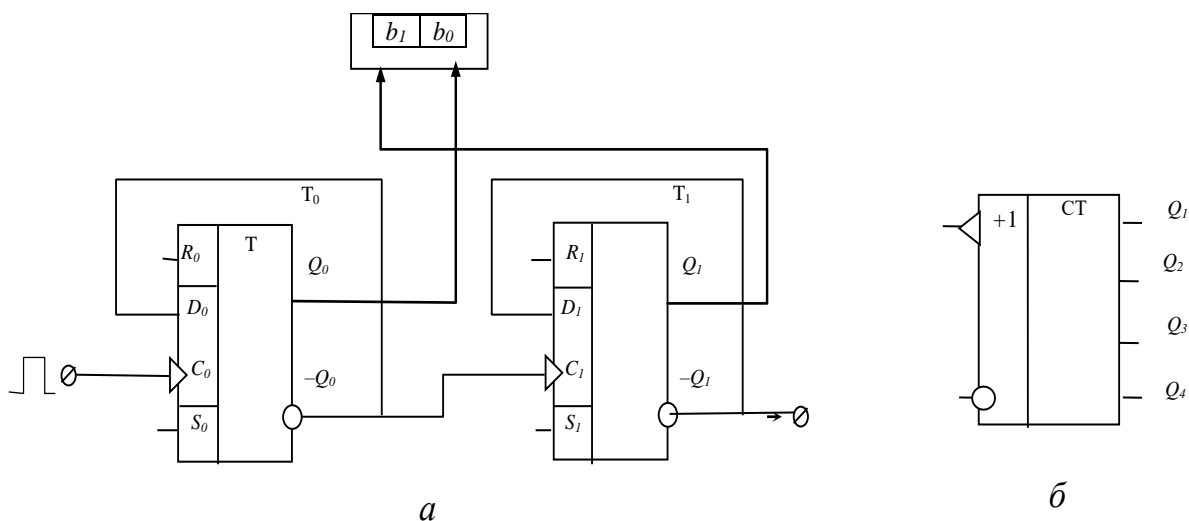
**Вход D-триггера  $T_0$  соединён с выходом  $-Q_0$ , а вход  $D_1$  – с выходом  $-Q_1$  триггера  $T_1$ . Выход  $-Q_0$  триггера  $T_0$  соединен с импульсным входом  $C_1$  триггера  $T_1$ .**

Триггер  $T_0$  изменит своё состояние при поступлении положительного фронта импульса на вход  $C_0$ . Триггер  $T_1$  изменит свое состояние по положительному переднему фронту сигнала на входе  $C_1$ , который возникает при изменении уровня выхода  $-Q_0$  триггера  $T_0$  от 0 до 1.

В исходном состоянии уровни  $Q_0$  и  $Q_1$  равны 0. Двоичный код числа равен "00". При поступлении **первого импульса (1)** на вход  $C_0$  на выходе  $Q_0$  установится уровень 1, существующий до этого на входе  $D_0$ . Триггер  $T_0$  перейдёт в состояние "1". **Выход  $Q_0$  изменится с 0 на 1, а  $Q_1$  – с 1 на 0. Триггер  $T_1$  остаётся без изменений,** так как на входе  $C_1$  сигнал изменится с 1 до 0. **Код числа равен «01».**

Рис. 3.42. Схема (а) и условное обозначение (б) счетчика

При поступлении **второго импульса (2)** на вход  $C_0$  на выходе  $Q_0$  установится



уровень 0, существующий до этого на входе  $D_0$ . Триггер  $T_0$  перейдёт в состояние "0". Выход  $-Q_0$  изменится с 0 на 1. Триггер  $T_1$  перейдет в состояние "1". **Код числа равен «10».**

При поступлении **третьего импульса (3)** на вход  $C_0$  на выходе  $Q_0$  установится уровень 1, существующий до этого на входе  $D_0$ . Триггер  $T_0$  перейдёт в состояние "1".

**Триггер  $T_1$  остаётся без изменений,** так как выход  $Q_0$  изменится с 1 до 0. **Код числа равен «11».**

При поступлении *четвёртого импульса* (4) на вход  $C_0$  на выходе  $Q_0$  установится уровень 0, существующий до этого на входе  $D_0$ . *Триггер  $T_0$  перейдёт в состояние "0". Триггер  $T_1$  изменит своё состояние на "0"*, так как выход  $Q_0$  изменится с 0 до 1. Счётчик возвращается в исходное состояние. *Код числа равен «00».*

Объединение в микросхеме нескольких D-триггеров представляет собой счётчик импульсов  $2^n$  ( $n$  – количество D-триггеров). Так, для подсчёта 1000 импульсов требуется не менее 10 триггеров ( $2^{10}=1024$ ).

Условное обозначение счетчика импульсов на сложение представлено на рис. 3.42, б. Вход  $R$  используется для установки счетчика в нулевое состояние.

### Индикация цифровой информации

*Элементная база световых индикаторных устройств.* Простейшими приборами отображения информации в цифровых устройствах являются *светодиоды, цифровые индикаторы и световые табло.*

В светодиодах используется свойство  $p$ - $n$  перехода излучать свет в видимой части спектра при протекании прямого тока. *Светодиоды* бывают *красного, желтого, зеленого и оранжевого цветов* свечения, а также с переменным током свечения.

Важнейший параметр светодиода – сила света, измеряемая в милликанделах (мкд), пропорциональна *прямому* току, протекающему через светодиод. *Светодиоды* изготавливают с *направленным и рассеивающим излучением.*

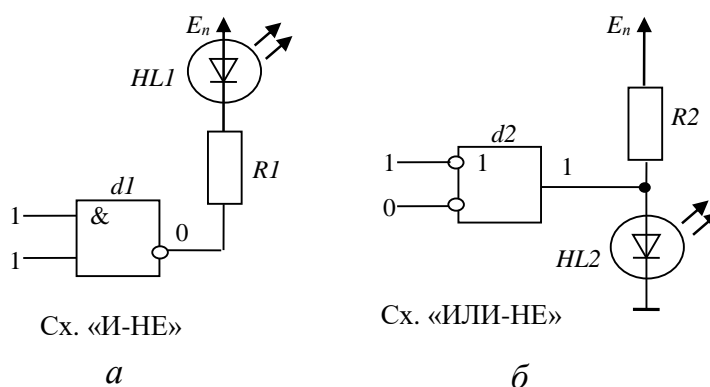


Рис. 3.43. Схемы включения светодиодов для индикации сигнала низкого 0 (а) и высокого 1 (б) уровней

Светодиод светится как при низком 0, так и при высоком 1 уровнях сигнала на выходе (рис. 3.43). *При сигнале «0»* на выходе микросхемы  $d1$  «И-НЕ» по светодиоду  $HL1$  (рис. 3.43, а) протекает прямой ток и он светится. При сигнале 1 на выходе схемы  $d2$  «ИЛИ-НЕ» светодиод  $HL2$  (рис. 3.43, б) светится (по нему протекает прямой ток).

Кроме светодиодов выпускают *цифровые, знаковые, линейные и матричные светодиодные индикаторы и табло.*